

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08116028 A**(43) Date of publication of application: **07 . 05 . 96**

(51) Int. Cl.

H01L 27/04**H01L 21/822****H01P 1/00****H01P 3/08****H03F 3/60**(21) Application number: **06250610**(22) Date of filing: **17 . 10 . 94**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **NAKATSUKA TADAYOSHI**

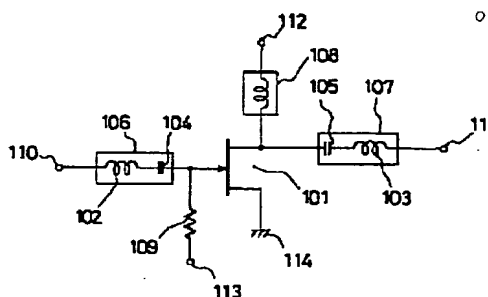
(54) **MICROSTRIP LINE, SPIRAL INDUCTOR,
MICROWAVE AMPLIFYING CIRCUIT AND
MICROWAVE AMPLIFYING DEVICE**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To make it possible to realize the miniaturization of a microwave amplitude device and the reduction in the cost of the device.

CONSTITUTION: An FET 10 is matched with the input side and output side circuits or transmission lines by an input matching circuit 106 and an output matching circuit 107. The circuit 106 is constituted of a spiral input side inductor 102 and an input side DC cut-off use coupling capacitor 104 and the capacitor 104 is formed in the center part of the inductor 102. The circuit 107 is constituted of a spiral output side inductor 103 and an output side DC cut-off use coupling capacitor 105 and the capacitor 105 is formed in the center part of the inductor 103. As the circuits 106 and 107 are respectively constituted of the single inductors, the impedance of a power supply is increased by a 1/4 wavelength line 108 formed using a spiral inductor consisting of a strontium titanate of a dielectric constant of 120.



J1036 U.S. PTO

09/838214



04/20/01

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-116028

(43) 公開日 平成8年(1996)5月7日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

H 0 1 P 1/00

Z

H 0 1 L 27/04

L

C

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-250610

(22) 出願日 平成6年(1994)10月17日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 中塚 忠良

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

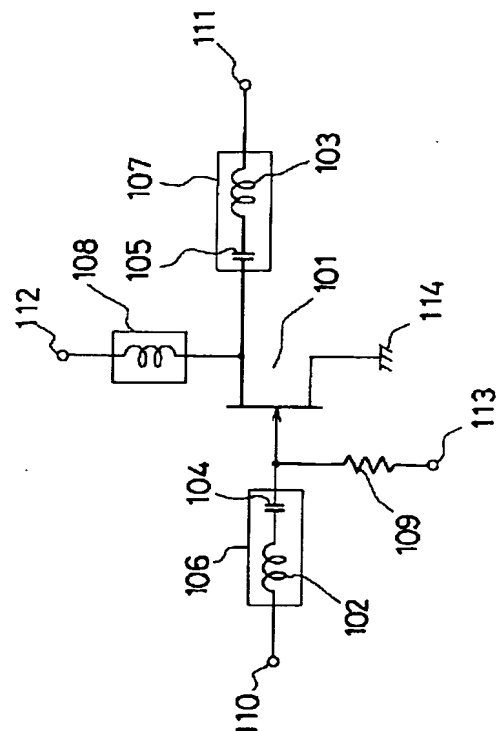
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 マイクロストリップ線路、スパイラルインダクタ、マイクロ波増幅回路及びマイクロ波増幅装置

(57) 【要約】

【目的】 マイクロ波増幅装置の小型化及び低コスト化を実現できるようにする。

【構成】 FET 101 は入力整合回路 106 及び出力整合回路 107 によって入力側及び出力側の回路又は伝送線路との整合を行っている。入力整合回路 106 はスパイラル状の入力側インダクタ 102 及び入力側 DC 遮断用結合キャパシタ 104 により構成され、入力側 DC 遮断用結合キャパシタ 104 は入力側インダクタ 102 の中心部に形成されている。出力整合回路 107 はスパイラル状の出力側インダクタ 103 及び出力側 DC 遮断用結合キャパシタ 105 により構成され、出力側 DC 遮断用結合キャパシタ 105 は出力側インダクタ 103 の中心部に形成されている。入力整合回路 106 及び出力整合回路 107 をそれぞれ単一のインダクタにより構成するため、誘電率が 120 であるチタン酸ストロンチウムよりなるスパイラルインダクタを用いた 1/4 波長線路 108 により電源を高インピーダンス化している。



【特許請求の範囲】

【請求項1】 絶縁体上に形成された接地電極と、該接地電極上に形成された誘電体薄膜と、該誘電体薄膜上に形成された線状の金属薄膜とからなるマイクロストリップ線路であって、前記誘電体薄膜は誘電率が50以上である高誘電体よりなり、前記金属薄膜の抵抗成分によって特性インピーダンスが制御されることを特徴とするマイクロストリップ線路。

【請求項2】 絶縁体上に形成された接地電極と、該接地電極上に形成された誘電率が50以上である高誘電体よりなる誘電体薄膜と、該誘電体薄膜上に形成された線状の金属薄膜とからなり、前記金属薄膜の抵抗成分によって特性インピーダンスが制御されるスパイラル状のマイクロストリップ線路によって構成されており、該マイクロストリップ線路のスパイラル部の隣り合う線路同士の間の前記誘電体薄膜は除去されていることを特徴とするスパイラルインダクタ。

【請求項3】 請求項2に記載のスパイラルインダクタであって、その中心部付近に前記高誘電体よりなる層間膜を有するMIMキャパシタを備え、両端子間が直流的に分離されていることを特徴とするスパイラルインダクタ。

【請求項4】 電源端子と、ソース電極が前記電源端子に接続されており電流の増幅を行なう電界効果型トランジスタと、前記電源端子と前記ソース電極との間に直列に単一で接続された請求項2又は3に記載のスパイラルインダクタとからなることを特徴とするマイクロ波増幅回路。

【請求項5】 入力端子と、出力端子と、電源端子と、ソース電極が前記電源端子に接続されており電流の増幅を行なう電界効果型トランジスタと、前記電源端子と前記ソース電極との間に直列に単一で接続された請求項2又は3に記載のスパイラルインダクタと、単一のインダクタからなり前記入力端子と前記電界効果型トランジスタとのインピーダンス整合を行なう入力側整合回路と、単一のインダクタからなり前記出力端子と前記電界効果型トランジスタとのインピーダンス整合を行なう出力側整合回路とが1つの半導体基板上に形成されていることを特徴とするマイクロ波増幅装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、マイクロストリップ線路、スパイラルインダクタ、マイクロ波増幅回路及びマイクロ波増幅装置に関し、特に、マイクロ波増幅装置の小型化及び高性能化を図る技術に関する。

【0002】

【従来の技術】 携帯用の通信用無線機器の急速な普及に伴い、通信用無線機器の小型化及び低コスト化に対する要求が強まってきており、従来集積化が困難であったマイクロ波増幅装置においても小型化及び低コスト化は重

要な課題である。

【0003】 以下、マイクロ波増幅回路の一例である集積化マイクロ波IC（以下、MMICと呼ぶ。）の従来例について図面を参照しながら説明する。

【0004】 図6は従来のMMIC増幅器の回路図を示している。図6に示すように、電界効果トランジスタ（以下、FETと呼ぶ。）601は、入力整合回路620及び出力整合回路621によって入力側及び出力側の回路又は伝送線路との整合を行っており、通常は50Ωの特性インピーダンスに対して整合されている。入力整合回路620及び出力整合回路621は、いずれも複数のインダクタの組み合わせにより構成されており、入力整合回路620は直列インダクタ602と並列インダクタ603との組み合わせよりなり、出力整合回路621は並列インダクタ604と直列インダクタ605との組み合わせよりなる。

【0005】 FET601をDC的に外部と分離するため、FET601の入力側には入力側DC遮断用結合キャパシタ606が挿入され、FET601の出力側には出力側DC遮断用結合キャパシタ607が挿入されている。FET601の電流はゲート電圧制御端子614からゲート電圧を制御することにより調整されており、高周波信号への影響を抑えるためバイアス抵抗608が挿入されている。尚、図6において、611は入力端子、612は出力端子、613は電源端子、615は接地端子である。

【0006】 図7は、図6に示したMMIC増幅装置の半導体チップパターンを示している。図7においては、図6と同一の部材については同一の符号を付すことにより説明は省略する。半導体チップ600としては高周波特性に優れるGaAs基板が用いられており、該半導体チップ600上に、前述したFET601、直列及び並列インダクタ602～605、入力側及び出力側のDC遮断用結合キャパシタ606、607並びにバイアス抵抗608が形成されている。

【0007】

【発明が解決しようとする課題】 ところで、従来のMMIC増幅器においては、入力整合回路620及び出力整合回路621を構成する直列及び並列インダクタ602～605や入力側及び出力側のDC遮断用結合キャパシタ606、607が半導体チップ600上において大きな面積を占めるため、半導体チップ600の面積が大きくなり、その結果、マイクロ波増幅装置を構成するパッケージサイズの大型化及び価格の上昇を招くという問題を有していた。

【0008】 前記に鑑み、本発明は、マイクロ波増幅装置の小型化及び低コスト化を実現できるようにすることを目的とする。

【0009】

【課題を解決するための手段】 前記の目的を達成するた

3

め、請求項1の発明が講じた解決手段は、絶縁体上に形成された接地電極と、該接地電極上に形成された誘電体薄膜と、該誘電体薄膜上に形成された線状の金属薄膜とからなるマイクロストリップ線路を対象とし、前記誘電体薄膜は誘電率が50以上である高誘電体よりなり、前記金属薄膜の抵抗成分によって特性インピーダンスが制御される構成とするものである。

【0010】請求項2の発明が講じた解決手段は、スパイラルインダクタを、絶縁体上に形成された接地電極と、該接地電極上に形成された誘電率が50以上である高誘電体よりなる誘電体薄膜と、該誘電体薄膜上に形成された線状の金属薄膜とからなり、前記金属薄膜の抵抗成分によって特性インピーダンスが制御されるスパイラル状のマイクロストリップ線路によって構成されており、該マイクロストリップ線路のスパイラル部の隣り合う線路同士の間の前記誘電体薄膜は除去されている構成とするものである。

【0011】請求項3の発明は、請求項2の構成に、スパイラルインダクタの中心部付近に形成されており、前記高誘電体よりなる層間膜を有するMIMキャパシタを備え、両端子間が直流的に分離されているという構成を付加するものである。

【0012】請求項4の発明が講じた解決手段は、マイクロ波増幅回路を、電源端子と、ソース電極が前記電源端子に接続されており電流の増幅を行なう電界効果型トランジスタと、前記電源端子と前記ソース電極との間に直列に単一で接続された請求項2又は3に記載のスパイラルインダクタとからなる構成とするものである。

【0013】請求項5の発明が講じた解決手段は、マイクロ波増幅装置を、入力端子と、出力端子と、電源端子と、ソース電極が前記電源端子に接続されており電流の増幅を行なう電界効果型トランジスタと、前記電源端子と前記ソース電極との間に直列に単一で接続された請求項2又は3に記載のスパイラルインダクタと、単一のインダクタからなり前記入力端子と前記電界効果型トランジスタとのインピーダンス整合を行なう入力側整合回路と、単一のインダクタからなり前記出力端子と前記電界効果型トランジスタとのインピーダンス整合を行なう出力側整合回路とが1つの半導体基板上に形成されている構成とするものである。

【0014】

【作用】請求項1の構成により、誘電体薄膜は誘電率が50以上である高誘電体よりなるため、同一周波数における電気長が著しく長くなるので、同一周波数におけるマイクロストリップ線路の線路長を大きく短縮することができる。この場合、マイクロストリップ線路の線路長が短縮されることに伴う抵抗値の減少は、金属薄膜の抵抗成分によってマイクロストリップ線路の特性インピーダンスを制御することによって補われる。

【0015】請求項2の構成により、マイクロストリッ

4

ブ線路のスパイラル部の隣り合う線路同士の間誘電体薄膜が除去されているため、線間容量による自己共振周波数の低下が防止されているので、同一周波数におけるインダクタンス値を増大することができる。

【0016】請求項3の構成により、スパイラルインダクタの中心部付近に高誘電体よりなる層間膜を有するMIMキャパシタを備えているため、キャパシタの占有面積を削減できる。つまり、スパイラルインダクタのインダクタンス値は主として外周部のスパイラル部により定まるため、中心部のスパイラル部を減らしてもインダクタンス値は殆ど影響を受けないので、インダクタンス値に影響を与えることなくキャパシタを設けることができる。このため、キャパシタの占有面積を削減できるのである。また、スパイラルインダクタの両端子間が直流的に分離されているため、該スパイラルインダクタを電界効果型トランジスタの入力側又は出力側に接続することにより、電界効果型トランジスタを外部と直流的に分離することができる。

【0017】請求項4の構成により、電源端子と、電流の増幅を行なう電界効果型トランジスタのソース電極との間に請求項2又は3に記載のスパイラルインダクタが直列に単一で接続されているため、電界効果型トランジスタの電源が高インピーダンス化されているので、電界効果型トランジスタとその入力側又は出力側との整合を行なう入力側整合回路及び出力側整合回路をそれぞれ単一のインダクタにより構成することができる。

【0018】請求項5の構成によると、請求項4のマイクロ波増幅回路を組み込んでいるため、電界効果型トランジスタ、請求項2又は3に記載のスパイラルインダクタ、入力側整合回路及び出力側整合回路を1つの半導体基板上に形成することができる。

【0019】

【実施例】以下、本発明の一実施例に係るマイクロ波増幅回路について図1～図5を参照しながら説明する。

【0020】図1は、本発明の一実施例に係るマイクロ波増幅回路の一例であるMMICの回路図を示している。図1に示すように、FET101は、入力整合回路106及び出力整合回路107によって入力側及び出力側の回路又は伝送線路との整合を行っており、50Ωの特性インピーダンスに対して整合されている。

【0021】本実施例においては、入力整合回路106は入力側インダクタ102及び入力側DC遮断用結合キャパシタ104により構成され、出力整合回路107は出力側インダクタ103及び出力側DC遮断用結合キャパシタ105により構成されている。そして、入力整合回路106及び出力整合回路107をそれぞれ単一のインダクタにより構成するため、スパイラルインダクタを用いた1/4波長線路108により電源を高インピーダンス化している。FET101の電流は、ゲート電圧制御端子113からゲート電圧を制御することにより調整

されており、高周波信号への影響を抑えるため、バイアス抵抗109が挿入されている。尚、図1において、110は入力端子、111は出力端子、112は電源端子、113はゲート電圧制御端子、114は接地端子である。

【0022】図2は、前記MMICの回路を実現するチップパターンを示している。図2においては、図1と同一の部材については同一の符号を付すことにより説明は省略する。本実施例のMMICは、GaAs基板100上に2層配線プロセスを用いて形成されており、FET

101としてはMESFETが用いられている。【0023】図2に示すように、入力側DC遮断用結合キャパシタ104及び出力側DC遮断用結合キャパシタ105は入力側インダクタ102及び出力側インダクタ103のそれぞれ中心部に形成されており、占有面積の低減が図られている。一般的にスパイラルインダクタのインダクタンス値は、主として外周部のスパイラルが支配的であり、中心部のスパイラル数を減らしても影響は小さい。

【0024】入力整合回路106、出力整合回路107及び1/4波長線路108に用いられる高誘電体にはチタン酸ストロンチウム（以下、 TiSrO_3 と呼ぶ。）を用い、白金電極上に TiSrO_3 をスパッタ法により300nmの厚さに堆積した後、イオンミリング法によるパターンニングを行なうことにより形成する。 TiSrO_3 の誘電率は120である。また、入力側インダクタ102、出力側インダクタ103及び1/4波長線路108の各スパイラル部における隣接するマイクロストリップ線路同士の間

の TiSrO_3 薄膜はイオンミリング時に除去されており、これにより、線間容量による自己共振周波数の低下が防止されている。抵抗109としては金属薄膜抵抗が用いられている。

【0025】図3は、図2におけるA-A'線の断面構造を示している。図3に示すように、GaAs基板100上に第1層配線金属302を堆積した後、容量形成部分に白金を蒸着する。その後、第1層配線金属302上に TiSrO_3 層304を堆積した後、該 TiSrO_3 層304上に第2層配線金属303を蒸着する。

【0026】1/4波長線路108における第1層配線金属302と第2層配線金属303との接続はコンタクト部305により行なわれている。一方、出力整合回路107においては、中心部の配線金属面積を拡大し、コンタクトを設けることなく、 TiSrO_3 層304を第1層配線金属302と第2層配線金属303とで挟むことによりMIM (metal insulator metal) キャパシタ105を構成している。

【0027】図4(a), (b)は前記MMICの入力端子110の入力インピーダンスを示すスミスチャートである。

【0028】図4(a)は、入力側インダクタ102の

線幅が $10\mu\text{m}$ であり、抵抗値が十分に低い場合の結果を示している。401は誘電体として TiSrO_3 （誘電率120）を用いた場合を示し、402は誘電体としてGaAs基板（誘電率12）を用いた場合を示している。図4(a)から明らかなように、誘電体として TiSrO_3 を用いることにより同一周波数における電気長が約10倍長くなっている。従って、1/4波長線路108の長さを1/10にすることができる。

【0029】図4(b)は入力側インダクタ102の線幅を $1\mu\text{m}$ であり、 20Ω の抵抗成分を持つときの入力端子110の入力インピーダンスを示している。図4

(b)より、6GHzにおける入力インピーダンスが 50Ω に整合されており、単一のインダクタにより整合回路を構成できていることが分かる。出力整合は、出力側インダクタ103を前記と同様の方法により 50Ω に整合させている。

【0030】図5は、前記のMMICを半導体リードフレーム上に実装し、樹脂パッケージに封入した状態を示している。図5(a)において、100は半導体チップ、502はリードフレーム、503はAuワイヤーである。また、図5(b)において、505は封止樹脂、506はICピンである。図5(a), (b)に示すように半導体チップ100をパッケージに実装することにより、扱い易くて低コストのMMICを提供することができる。

【0031】

【発明の効果】以上説明したように、請求項1の発明に係るマイクロストリップ線路によると、誘電体薄膜は誘電率が50以上である高誘電体よりなるため、同一周波数における電気長が著しく長くなるので、同一周波数におけるマイクロストリップ線路の線路長を大きく短縮することができる。従って、請求項1の発明のマイクロストリップ線路を用いるマイクロ波増幅装置の小型化及び低コスト化を実現できる。

【0032】請求項2の発明に係るスパイラルインダクタによると、誘電体薄膜は誘電率が50以上である高誘電体よりなるため同一周波数における電気長が著しく長くなるので、同一周波数におけるマイクロストリップ線路の線路長を大きく短縮できる共に、マイクロストリップ線路のスパイラル部の隣り合う線路同士の間

の誘電体薄膜が除去されているため線間容量による自己共振周波数の低下が防止され、同一周波数におけるインダクタンス値を増大できるので、基板上の占有面積を縮小することができる。従って、請求項2の発明のスパイラルインダクタを用いるマイクロ波増幅装置の小型化及び低コスト化を実現できる。

【0033】請求項3の発明に係るスパイラルインダクタによると、スパイラルインダクタの中心部付近に高誘電体よりなる層間膜を有するMIMキャパシタを備えて

おり、インダクタンス値に影響を与えることなくキャパシタを設けることができるため、キャパシタの占有面積を削減できる。従って、請求項2の発明のスパイラルインダクタを用いるマイクロ波増幅装置の一層の小型化及び低コスト化を実現できる。

【0034】請求項4の発明に係るマイクロ波増幅回路によると、電源端子と電流の増幅を行なう電界効果型トランジスタのソース電極との間に請求項2又は3に記載のスパイラルインダクタが直列に単一で接続されているため、電解効果型トランジスタの電源が高インピーダンス化されているので、電界効果型トランジスタとその入力側又は出力側との整合を行なう入力側整合回路及び出力側整合回路をそれぞれ単一のインダクタにより構成することができる。従って、請求項4の発明のマイクロ波増幅回路によると、電源端子側に1つのスパイラルインダクタを設けることにより、入力側整合回路及び出力側整合回路をそれぞれ単一のインダクタにより構成することができるので、該マイクロ波増幅回路を組み込んだマイクロ波増幅装置の小型化及び低コスト化を実現できる。

【0035】請求項5の発明に係るマイクロ波増幅装置によると、請求項4のマイクロ波増幅回路を組み込んでいるため、電界効果型トランジスタ、請求項2又は3に記載のスパイラルインダクタ、入力側整合回路及び出力側整合回路を1つの半導体基板上に形成できるので、大幅な小型化及び低コスト化を実現することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るMMICの回路図である。

【図2】本発明の一実施例に係るMMICのチップパターン図である。

【図3】図2のA-A'線の断面図である。

【図4】本発明の一実施例に係るMMICの入力インピーダンス特性を示す図であって、(a)は配線抵抗値が低い場合の特性を示し、(b)は配線抵抗値を最適化した場合の特性を示している。

【図5】(a)は本発明の一実施例に係るMMICの実装状態を示す平面図であり、(b)は本発明の一実施例に係るMMICのパッケージの外観図である。

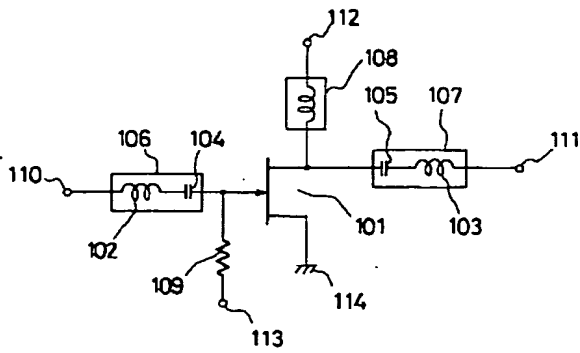
【図6】従来のMMICの回路図である。

【図7】従来のMMICのチップパターン図である。

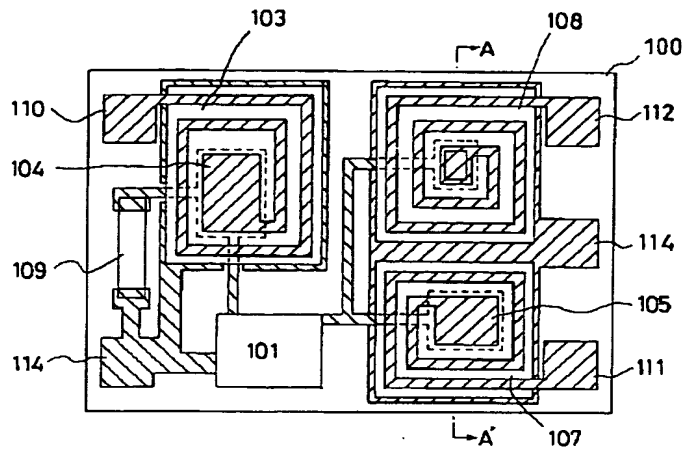
【符号の説明】

- | | |
|-----|-------------------------------------|
| 100 | GaAs 基板 |
| 101 | 電界効果型トランジスタ |
| 102 | 入力側インダクタ |
| 103 | 出力側インダクタ |
| 104 | 入力側DC遮断用結合キャパシタ |
| 105 | 出力側DC遮断用結合キャパシタ |
| 106 | 入力整合回路 |
| 107 | 出力整合回路 |
| 108 | 1/4波長線路 (マイクロストリップ線路、スパイラルインダクタ) |
| 109 | バイアス抵抗 |
| 110 | 入力端子 |
| 111 | 出力端子 |
| 112 | 電源端子 |
| 113 | ゲート電圧制御端子 |
| 302 | 第1層配線金属 |
| 303 | 第2層配線金属 |
| 304 | 高誘電体薄膜 |
| 305 | コンタクト部 |
| 401 | TiSiO ₃ を用いた場合の入力インピーダンス |
| 402 | GaAs 基板を用いた場合の入力インピーダンス |
| 403 | 配線金属抵抗が20Ωの場合の入力インピーダンス |
| 502 | リードフレーム |
| 503 | Auワイヤー |
| 505 | 封止樹脂 |
| 506 | ICピン |
| 600 | GaAs 基板 |
| 601 | 電界効果型トランジスタ |
| 602 | 直列インダクタ |
| 603 | 並列インダクタ |
| 604 | 並列インダクタ |
| 605 | 直列インダクタ |
| 606 | 入力側DC遮断用結合キャパシタ |
| 607 | 出力側DC遮断用結合キャパシタ |
| 608 | バイアス抵抗 |
| 614 | ゲート電圧制御端子 |
| 620 | 入力整合回路 |
| 621 | 出力整合回路 |

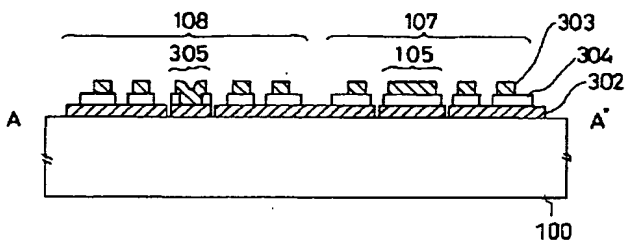
【図1】



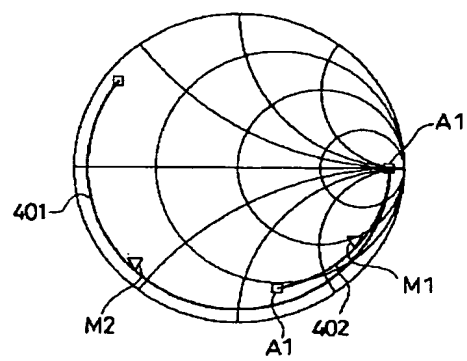
【図2】



【図3】

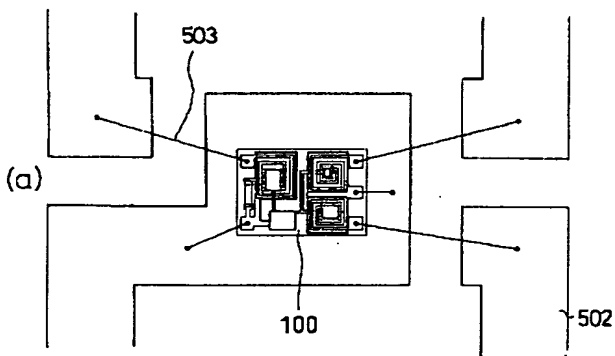


【図4】

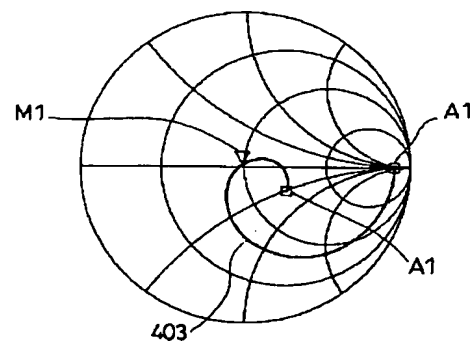


(a)

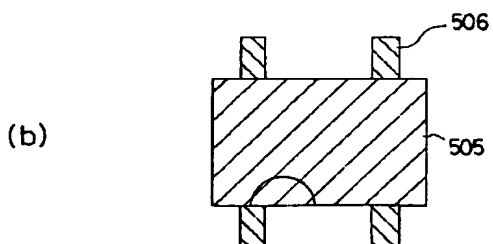
【図5】



(a)

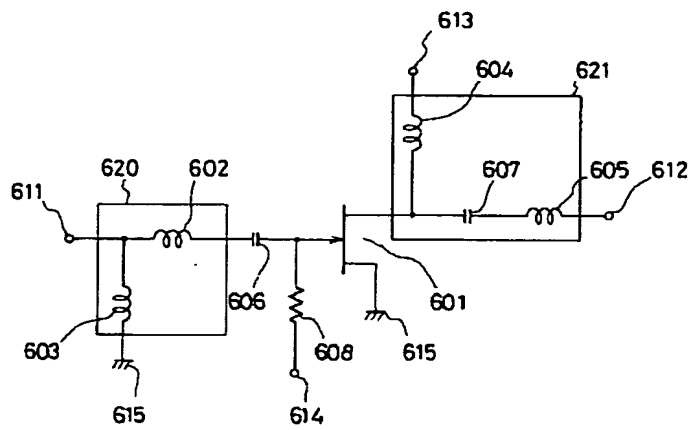


(b)

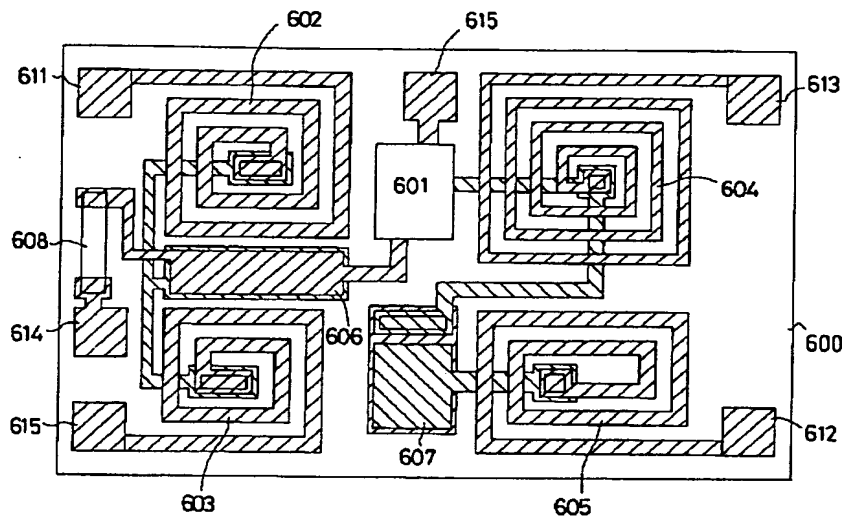


(b)

【図6】



【図7】



フロントページの続き

(51) Int. Cl. 6

H01P 3/08

H03F 3/60

識別記号

庁内整理番号

F I

技術表示箇所